

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-040799

(43)Date of publication of application : 08.02.2000

(51)Int.Cl.

H01L 27/10  
H01L 27/04  
H01L 21/822  
H01L 27/115  
H01L 27/108  
H01L 21/8242

(21)Application number : 10-208999

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.07.1998

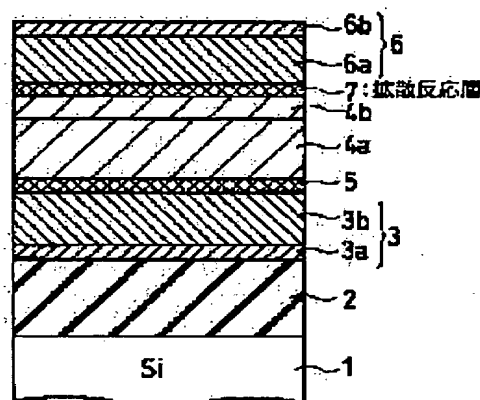
(72)Inventor : KANETANI HIROYUKI  
KUNISHIMA IWAO  
YAMAKAWA KOJI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device having a ferroelectric capacitor, which is only slightly deteriorated in characteristics, and a method of manufacturing the device.

**SOLUTION:** This method of manufacturing a semiconductor device consists of forming a lower electrode 3 by laminating a Ti film 3a and a Pt film 3b formed on a silicon oxide film 2 covering a silicon substrate 1, and depositing a first PZT film 4a on this electrode 3 to crystallize the film 4a. Through heat treatment of this crystallization, a Pb-Pt-Ti-O reaction layer 5 is formed on the interface between the films 3b and 4a. Then, a second PZT film 4b is deposited thin on the film 4a and moreover, after an upper electrode formed by laminating a Pt film 6a and a Ti film 6b is formed, the film 4b is crystallized. Through heat treatment of this crystallization, a Pb-Pt-Ti-O reaction layer 7 is formed on the interface between the films 6a and 4b. With the two-layer PZT film lamination process, a Pb concentration in the interface between the electrode 6 and the film 4b is restrained, and the generation of a by oxygen defect due to Pt catalytic action is restrained.



## LEGAL STATUS

[Date of request for examination] 04.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3292699

[Date of registration] 29.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-40799

(P2000-40799A)

(43) 公開日 平成12年2月8日 (2000.2.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テロート* (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 F 0 3 8
27/04		27/04	C 5 F 0 8 3
21/822		27/10	4 3 4
27/115			6 5 1
27/108			

審査請求 未請求 請求項の数12 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平10-208999

(22) 出願日 平成10年7月24日 (1998.7.24)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 金谷 宏行

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(72) 発明者 國島 巖

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(74) 代理人 100092820

弁理士 伊丹 勝

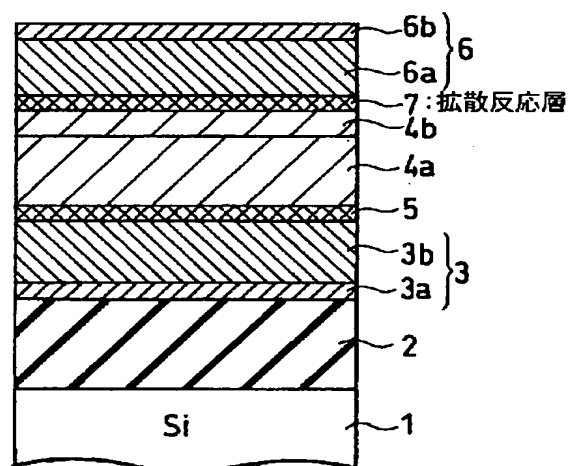
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 特性劣化の少ない強誘電体キャパシタを持つ半導体装置とその製造方法を提供する。

【解決手段】 シリコン基板1を覆うシリコン酸化膜2上にTi膜3aとPt膜3bが積層された下部電極3を形成し、この上に第1のPZT膜4aを堆積して結晶化させる。この結晶化の熱処理で、Pt膜3bと第1のPZT膜4aの界面に、Pb-Pt-Ti-O反応層5が形成される。次いで第2のPZT膜4bを薄く堆積し、更にPt膜6aとTi膜6bが積層された上部電極6を形成した後、第2のPZT膜4bを結晶化する。この結晶化の熱処理により、Pt膜6aと第2のPZT膜4bの界面に、Pb-Pt-Ti-O反応層7が形成される。二層のPZT膜積層工程により、上部電極6とPZT膜4の界面でのPb濃度が抑えられ、Pt触媒作用による酸素欠陥の発生が抑えられる。



## 【特許請求の範囲】

【請求項1】 絶縁膜で覆われた半導体基板上に強誘電体キャパシタが形成された半導体装置において、前記強誘電体キャパシタは、前記絶縁膜上に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜上に形成された上部電極とから構成され、且つ前記強誘電体膜は、前記下部電極に接する多結晶膜からなる第1の強誘電体膜と、この第1の強誘電体膜上に積層された前記第1の強誘電体膜と平均粒径の異なる結晶粒の多結晶膜からなる第2の強誘電体膜とから構成されていることを特徴とする半導体装置。

【請求項2】 絶縁膜で覆われた半導体基板上に強誘電体キャパシタが形成された半導体装置において、前記強誘電体キャパシタは、前記絶縁膜上に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜上に形成された上部電極とから構成され、且つ前記強誘電体膜は、前記下部電極に接する第1の強誘電体膜と、この第1の強誘電体膜上に積層された第2の強誘電体膜とから構成され、前記第1の強誘電体膜及び第2の強誘電体膜は同一のペロブスカイト化合物からなり、それらの界面全体に結晶粒界が形成されていることを特徴とする半導体装置。

【請求項3】 前記第1の強誘電体膜は、前記下部電極の面に略直交する粒界をもって結晶粒が区画された多結晶膜であり、前記第2の強誘電体膜は前記第1の強誘電体膜の各結晶粒と略整合された結晶粒を持つ多結晶膜であることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記第1の強誘電体膜及び第2の強誘電体膜は鉛又はビスマスを含有するペロブスカイト化合物からなり、前記第1の強誘電体膜の前記下部電極との界面部における鉛又はビスマスの濃度が、前記第2の強誘電体膜の前記上部電極との界面部における鉛又はビスマスの濃度と略等しいことを特徴とする請求項1又は2記載の半導体装置。

【請求項5】 前記第1の強誘電体膜と前記下部電極との間、及び前記第2の強誘電体膜と前記上部電極の間に相互拡散による拡散反応層が形成されていることを特徴とする請求項1又は2記載の半導体装置。

【請求項6】 前記第2の強誘電体膜は、1～150nmの膜厚を有することを特徴とする請求項1又は2記載の半導体装置。

【請求項7】 絶縁膜で覆われた半導体基板上に強誘電体キャパシタが形成された半導体装置において、前記強誘電体キャパシタは、前記絶縁膜上に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜上に形成された上部電極とから構成され、且つ前記強誘電体膜と前記下部電極との間及び前記上部電極との間に拡散層が形成されていることを特徴とする半導体装置。

【請求項8】 前記強誘電体膜は鉛又はビスマスを含有するペロブスカイト化合物からなり前記強誘電体膜の前記下部電極との界面部における鉛又はビスマスの濃度が、前記上部電極との界面部における鉛又はビスマスの濃度と略等しいことを特徴とする請求項7記載の半導体装置。

【請求項9】 絶縁膜で覆われた半導体基板上に下部電極膜を形成する工程と、

前記下部電極膜上に第1の強誘電体膜を形成する工程と、

熱処理を行って前記第1の強誘電体膜を結晶化させる工程と、

結晶化された前記第1の強誘電体膜上に第2の強誘電体膜を形成する工程と、

前記第2の強誘電体膜上に上部電極膜を形成する工程と、

前記上部電極膜の形成後、前記第2の強誘電体膜を結晶化させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】 前記下部電極膜及び上部電極膜はPt膜を主体とすることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 前記下部電極膜と前記第1の強誘電体膜の間、及び前記第2の強誘電体膜と前記上部電極膜の間の少なくとも一方にTi膜を形成する工程を有することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項12】 前記第2の強誘電体膜は、1～150nmの膜厚をもって形成することを特徴とする請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、薄膜構造の強誘電体キャパシタを含む半導体装置とその製造方法に関する。

【0002】

【従来の技術】従来より、強誘電体キャパシタを用いた不揮発性半導体記憶装置（以下、強誘電体メモリという）が知られている。強誘電体キャパシタは、基板上に下部電極、強誘電体膜、及び上部電極を積層して構成される。強誘電体膜としては、代表的には、ペロブスカイト型結晶構造を持つジルコン酸チタン酸鉛（ $PZT; PbZr_xTi_{1-x}O_3$ ）（ $0 < x < 1$ ）等のペロブスカイト化合物が用いられる。PZT膜を用いた場合、下部電極及び上部電極にはPt膜が用いられる。強誘電体メモリは、強誘電体の自発分極（残留分極）によりデータを不揮発に記憶することが可能となる。

【0003】このような強誘電体メモリは、バッテリーレスでデータを保持でき、高速動作が可能であるため、非接触カード（RF-ID, Radio Frequency-Identification）等への応用が始まりつつある。また既存のSRA

M、EEPROMフラッシュメモリ、DRAM等との置き換えや、ロジック混載メモリへの適用等と期待が大きい。

【0004】

【発明が解決しようとする課題】しかし、従来のPZTを用いた強誘電体キャパシタは、電界印加によりヒステリシスがシフトするという特性劣化を生じる。この特性劣化の原因は、電界印加により層間絶縁膜中の水素が移動し、キャパシタ領域に空間電荷を形成するためである。このヒステリシスのシフトは、自発分極量の低下をもち、メモリのビット不良、ひいてはメモリ全体の信頼性や歩留まり低下につながる。

【0005】Pt/PZT/Pt構造の強誘電体キャパシタがH<sub>2</sub>雰囲気中のアニールにより分極特性が劣化することは、既に報告されている（例えば、J. Appl. Phys. Vol. 82, No. 1, July 1997, pp341-344; 文献1）。これに対し、強誘電体キャパシタ中の水素濃度を低くすることにより特性改善を図る手法は、例えば特開平8-8404号公報（文献2）に開示されているが、この手法はプロセス上の制約が大きく現実的ではない。

【0006】この発明は、上記事情を考慮してなされたもので、特性劣化の少ない強誘電体キャパシタを持つ半導体装置とその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】この発明は、絶縁膜で覆われた半導体基板上に強誘電体キャパシタが形成された半導体装置において、前記強誘電体キャパシタは、前記絶縁膜上に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜上に形成された上部電極とから構成され、且つ前記強誘電体膜は、前記下部電極に接する多結晶膜からなる第1の強誘電体膜と、この第1の強誘電体膜上に積層された前記第1の強誘電体膜と平均粒径の異なる結晶粒の多結晶膜からなる第2の強誘電体膜とから構成されていることを特徴とする。

【0008】この発明はまた、絶縁膜で覆われた半導体基板上に強誘電体キャパシタが形成された半導体装置において、前記強誘電体キャパシタは、前記絶縁膜上に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜上に形成された上部電極とから構成され、且つ前記強誘電体膜は、前記下部電極に接する第1の強誘電体膜と、この第1の強誘電体膜上に積層された第2の強誘電体膜とから構成され、前記第1の強誘電体膜及び第2の強誘電体膜は同一のペロブスカイト化合物からなり、それらの界面全体に結晶粒界が形成されていることを特徴とする。

【0009】この発明において、前記第1の強誘電体膜は例えば、前記下部電極の面に略直交する粒界をもって結晶粒が区画された多結晶膜であり、第2の強誘電体

膜は第1の強誘電体膜の各結晶粒と略整合された結晶粒を持つ多結晶膜である。この発明において好ましくは、前記第1の強誘電体膜及び第2の強誘電体膜は鉛又はビスマスを含有するペロブスカイト化合物からなり、前記第1の強誘電体膜の前記下部電極との界面部における鉛又はビスマスの濃度が、前記第2の強誘電体膜の前記上部電極との界面部における鉛又はビスマスの濃度と略等しいものとする。更にこの発明において、好ましくは、前記第1の強誘電体膜と前記下部電極との間、及び前記第2の強誘電体膜と前記上部電極の間に相互拡散による拡散反応層が形成されているものとする。この発明において、前記第2の強誘電体膜は例えば、1～150 nmの膜厚をもって形成される。

【0010】この発明は更に、絶縁膜で覆われた半導体基板上に強誘電体キャパシタが形成された半導体装置において、前記強誘電体キャパシタは、前記絶縁膜上に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜上に形成された上部電極とから構成され、且つ前記強誘電体膜と前記下部電極との間及び前記上部電極との間に拡散層が形成されていることを特徴とする。前記強誘電体膜は例えば、鉛又はビスマスを含有するペロブスカイト化合物からなり前記強誘電体膜の前記下部電極との界面部における鉛又はビスマスの濃度が、前記上部電極との界面部における鉛又はビスマスの濃度と略等しいものとする。

【0011】この発明に係る半導体装置の製造方法は、絶縁膜で覆われた半導体基板上に下部電極膜を形成する工程と、前記下部電極膜上に第1の強誘電体膜を形成する工程と、熱処理を行って前記第1の強誘電体膜を結晶化させる工程と、結晶化された前記第1の強誘電体膜上に第2の強誘電体膜を形成する工程と、前記第2の強誘電体膜上に上部電極膜を形成する工程と、前記上部電極膜の形成後、熱処理を行って前記第2の強誘電体膜を結晶化させる工程とを有することを特徴とする。

【0012】この発明の方法において例えば、前記下部電極膜及び上部電極膜はPt膜を主体とする。この発明の方法において好ましくは、前記下部電極膜と前記第1の強誘電体膜の間、及び前記第2の強誘電体膜と前記上部電極膜の間の少なくとも一方にTi膜を形成する工程を有するものとする。

【0013】本発明者等の研究によると、Pt/PZT/Pt構造の強誘電体キャパシタでのヒステリシスのシフトは、次のようなメカニズムによるものであることが明らかになった。まず、PZT膜を良質の結晶膜として形成するためには、通常拡散係数の大きい鉛(Pb)を多くしたPbリッチの条件でPZT膜を堆積することが一般的である。このような条件でPZT膜を堆積し、熱処理により結晶化して、上部Pt電極を形成したとする。このとき、PZT膜では下部Pt電極との界面より上部Pt電極との界面の方がPb-Oの多いPbリッチの状

態になる。形成された強誘電体キャパシタを覆う層間絶縁膜やその上のモールド材から水素がPt/PZT界面にまで拡散すると、Pt電極の強い触媒作用により、Pb-Oが還元されて、Pt/PZT界面には酸素欠陥による空間電荷が形成される。この空間電荷は、酸素欠陥によるものであるから、正の固定電荷であり、これがヒステリシスの正方向へのシフトをもたらす、その結果自発分極の減少をもたらすのである。

【0014】この様な特性劣化を防止するための一つの方法は、前掲文献2のように、キャパシタ領域の水素濃度を低減することである。もう一つの方法は、Pt/PZT界面でのPt触媒作用を抑制することである。下部Pt電極とPZT膜の界面では、PZT膜の結晶化の熱処理工程でPt-Oの反応層が形成され、これがPt触媒作用を抑えることは、前掲文献1にて報告されている。しかし、上部Pt電極とPZT膜との界面については、従来の製法では上述のような反応層が形成されない。即ち従来の製法では、上部Pt電極の堆積前にPZT膜が結晶化されるため、下部電極界面におけるような拡散反応層が形成されず、高濃度のPb-Oが残ってしまう。

【0015】そこでこの発明においては、Pt/PZT/Pt構造の強誘電体キャパシタを形成する際に、PZT膜を二層構造とする。第1のPZT膜は、第2のPZT膜堆積の前に結晶化する。そして、薄い第2のPZT膜を堆積し、それがアモルファスの状態のまま上部Pt電極を形成し、その後熱処理して第2のPZT膜を結晶化させる。この様な手法を用いると、上部Pt電極とPZT膜の界面にも、Pt-Pb-O反応層が形成され、これが水素が拡散したときのPt触媒作用を効果的に抑制することになる。

【0016】また、第1のPZT膜を結晶化したときその表面部は前述のようにPbリッチの状態である。しかし、この上に第2のPZT膜を堆積し、更に上部Pt電極を形成した後、熱処理すると、結果的に二層PZT膜の上部電極及び下部電極界面のPb組成が略等しい状態、言い換えれば、一層のみのPZT膜を用いた従来構造に比べて、上部Pt電極界面のPb組成が低い状態が得られる。この結果、強誘電体キャパシタの上部層間絶縁膜から水素が強誘電体キャパシタ領域に拡散したとしても、上部Pt電極界面でPb-Oの水素還元による酸素欠陥の発生量が抑えられる。

【0017】なお、第2のPZT膜を厚くすると、第1のPZT膜の場合と同様に、結晶化したときその表面部がPbリッチの状態となり、従来のものと同様の特性劣化を生じる結果になり易い。従って第2のPZT膜については少なくとも第1のPZT膜よりは薄く、好ましくは150nm以下、更に好ましくは100nm以下とする。第2のPZT膜の膜厚の下限については、1nmあれば十分効果が得られる。

【0018】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1～図5は、この発明の一実施例による、シリコン基板上に強誘電体キャパシタを作る工程を示している。図1において、シリコン基板1には、例えばMOSTランジスタ等の素子が形成され、MOSTランジスタを覆うシリコン酸化膜(SiO<sub>2</sub>)2が形成されている。このシリコン酸化膜2上に、Ti膜3aをスパッタ法により20nm堆積し、引き続きPt膜3bをスパッタ法により250nm堆積して、Pt/Ti積層膜による下部電極3を形成する。

【0019】続いて、図2に示すように、下部電極3上に、強誘電体膜として、第1のPZT膜4aをゾルゲル法又はスパッタ法により、250nm堆積する。そしてこの段階で、酸素雰囲気中、750℃の条件で熱処理(RTA)を行い、PZT膜4aを結晶化させる。この結晶化の熱処理工程で、下部電極3とPZT膜4aとの間で拡散反応が生じ、図3に示すように拡散反応層5が形成される。発明者等の解析によれば、拡散反応層5は、Pb-Pt-(Ti)-O層であること、またこの拡散反応層5が形成されるのは、熱処理前のPZT膜4aがアモルファス状態であるためであること、が明らかになっている。

【0020】この後、図4に示すように、結晶化された第1のPZT膜4a上に、ゾルゲル法又は低温でのスパッタ法により、第2のPZT膜4bを10nm程度堆積する。この段階でPZT膜4bはアモルファス状態である。次に、図5に示すように、PZT膜4b上に、スパッタ法によりPt膜6aを100nm堆積し、その後必要に応じてスパッタ法によりTi膜6bを10nm引き続き堆積して、Pt単層膜又はTi/Pt積層膜による上部電極6を形成する。その後、酸素雰囲気中、750℃の条件で熱処理(RTA)を行い、PZT膜4bを結晶化させる。この結晶化の熱処理工程で、上部電極6とPZT膜4bとの間で拡散反応が生じ、図6に示すように拡散反応層7が形成される。この拡散反応層7も、Pb-Pt-(Ti)-O層である。

【0021】ここまでは、強誘電体キャパシタのみに着目して説明した。実際にこの工程を例えば、MOSTランジスタと強誘電体キャパシタによりDRAMと同様の1トランジスタ/1キャパシタ構造のメモリセルを持つ強誘電体メモリに適用した場合について説明すると、次のようになる。

【0022】図7に示すように、シリコン基板1には予め、素子分離絶縁膜11を例えば埋め込み法により形成する。そして素子領域にゲート電極12、ソース、ドレイン拡散層13、14を持つMOSTランジスタ10を形成する。MOSTランジスタ10が形成された基板上は層間絶縁膜であるCVDシリコン酸化膜2aにより覆う。このシリコン酸化膜2aには、一方の拡散層13に

接続されるコンタクト導体15を埋め込み形成する。そしてこのコンタクト導体15に接続されるビット線16をシリコン酸化膜2a上に形成する。コンタクト導体15及びビット線16を破線で示しているのは、MOSトランジスタ10の他方の拡散層14に接続されるコンタクト導体17とは、図面に直交する方向の異なる位置に形成されることを示している。

【0023】ビット線16が形成された基板には更に層間絶縁膜であるシリコン酸化膜2bを堆積する。そしてシリコン酸化膜2a、2bを貫通して、MOSトランジスタ10の他方の拡散層14に接続されるコンタクト導体17を埋め込む。このシリコン酸化膜2b上に、図1～図6により説明した工程により、下部電極3、PZT膜4及び上部電極6を積層形成する。この積層膜を、その後図8に示すように、各メモリセル毎にパターンニングし、強誘電体キャパシタ20を形成する。

【0024】その後、図9に示すように、更に層間絶縁膜としてCVDシリコン酸化膜21を堆積し、キャパシタ20に対するコンタクト孔を開口して、プレート電極22を形成する。更にこの上に層間絶縁膜としてCVDシリコン酸化膜23を堆積し、配線層24を形成する。配線層24は、図示しないがバシベーション膜により保護される。

【0025】次に、この実施例により得られる強誘電体キャパシタの内部組成、特性等を具体的に説明する。図10は、この実施例による強誘電体キャパシタの透過型電子顕微鏡(TEM)観察による結晶構造を、模式的に示している。第1のPZT膜4aは、 $\langle 111 \rangle$ 軸方向に結晶成長した結晶粒41の集合からなる多結晶体である。各結晶粒は、下部電極面に垂直の粒界43により区画されている。PZT膜4aと下部Pt電極3bとの界面44はほぼ平坦になり、この界面44には、二次イオン質量分析計(SIMS)による解析により、Pt-Pb-(Ti)-O反応層が形成されることが確認されている。この点は、後述する。

【0026】第2のPZT膜4bは、結晶化された第1のPZT膜4a上に、第1のPZT膜4aの結晶粒41にはほぼ整合された状態で成長した、結晶粒41より平均粒径の小さい結晶粒42となる。第1のPZT膜4aの結晶化の熱処理工程で余分なPbは第1のPZT膜4aの表面部に多く集まる。従ってもし、第1のPZT膜4a上に直接上部Pt電極6aを形成すると、上部Pt電極6aの界面に多くのPbが残される。しかしこの実施例では、第1のPZT膜4a上にごく薄く第2のPZT膜4bを積層し、これがアモルファスの状態で上部Pt電極6aを堆積した後、第2のPZT膜4bを結晶化させている。この結果、上部Pt電極6aとの界面45に過剰のPbが残ることがない。

【0027】図11及び図12は、この実施例による強誘電体キャパシタと従来構造の強誘電体キャパシタのS

IMS分析結果を示す。ここで、従来構造の強誘電体キャパシタは、図13に示すように、強誘電体膜として一層のPZT膜33を有するものである。即ちこの強誘電体キャパシタは、シリコン酸化膜31で覆われたシリコン基板30上に、Ti膜32aとPt膜32bからなる下部電極32を形成し、この上にPZT膜33を形成した後、これを結晶化し、上部Pt電極34を形成して作られる。

【0028】図12から明らかなように、従来構造の強誘電体キャパシタでは、PZT膜内で厚み方向にPb分布が傾斜し、下部電極界面に比べて上部電極界面でPb濃度が高くなっている。これは前述のように、Pbリッチの条件でPZT膜形成が行われ、結晶化の熱処理工程で過剰のPbがPb-Oの形でPZT膜表面部に集まる結果である。

【0029】これに対してこの実施例の構造では、図11に示すように、PZT膜内の上部Pt電極寄り(第1のPZT膜と第2のPZT膜の界面付近)に小さいPb濃度のピークが認められるものの、全体としてPZT膜内でPb濃度はほぼ均一であり、少なくとも上下電極との界面部でPb濃度がほぼ等しい状態となる。これは、第1のPZT膜と第2のPZT膜とで結晶粒の平均粒径が異なり、換言すれば第1のPZT膜と第2のPZT膜の界面全体に下部電極の面と略平行な結晶粒界が形成されており、こうした結晶粒界中に過剰のPbが凝集し得る。この結果として、図11に示すように、トータルのPZT膜内のPb分布がほぼ均一になる。なおここで、第1のPZT膜と第2のPZT膜との界面でPbが多少高濃度になっても、ここにはPtの触媒作用がおよび難いため、Pb-Oの還元反応に基づく大きな特性劣化が生じるおそれはない。

【0030】この実施例による強誘電体キャパシタと、図13に示す従来構造の強誘電体キャパシタの特性をそれぞれ、図14及び図15に示す。いずれも、 $\pm 5V$ 印加によるヒステリシス特性を、初期状態(実線)と $H_2$ 雰囲気中熱処理(水素処理)後の状態(破線)で示している。従来構造では、水素処理後のヒステリシスの自発分極の大きさは、 $2Pr = 9 \mu C/cm^2$ であった。これに対し、この実施例の構造では、ヒステリシスの自発分極の大きさは、 $2Pr = 30 \mu C/cm^2$ であった。

【0031】この実施例によるキャパシタの水素劣化が少ない理由として考えられるのは、次の点である。一つは、上部Pt電極界面に過剰のPbがないことである。即ち、水素がこの界面に侵入したとしても、Pt電極の触媒作用によるPb-Oの還元反応に基づく酸素欠陥がそれ程生じない。もう一つの理由は、上部Pt電極との界面にPb-Pt-Ti-Oの拡散反応層が形成され、これがPt触媒作用を抑制していることである。

【0032】この実施例により上述した効果が得られるためには、第2のPZT膜4bがアモルファス状態で上

部Pt電極6aが形成されることが必要であり、この条件下でPb-Pt-Ti-O反応層7が形成される。また第2のPZT膜4bを150nm以下、特に好ましくは100nm以下程度に薄くすることも有効である。第2のPZT膜5bの最低膜厚としては、1nmあれば十分である。

【0033】図16は、この発明の別の実施例による強誘電体キャパシタの要部構造を示す。先の実施例と異なりこの実施例では、上下部電極のPt膜3b、6aとPZT膜4a、4bのそれぞれの界面部にごく薄いTi膜8、9を形成している。これらのTi膜8、9は、PZT膜4a、4bの結晶成長の核となって、且つPb-Pt-(Ti)-Oの拡散反応層の形成を促進するものであり、その膜厚は、0.5~10nm程度でよい。その他、先の実施例と同様の条件とする。この実施例によれば、より結晶性の良好なPZT膜が得られるとともに、PZT膜と上下電極のPt膜との界面に十分に拡散反応層が形成されて、Pb-Oの凝集が抑えられる。

【0034】この発明においては上述のように、キャパシタ構造と製法を工夫して、上部Pt電極とPZT界面に水素の侵入があっても酸素欠陥による固定電荷が生じないようにしている。一方、本発明者等が図13に示す従来構造の強誘電体キャパシタの良品サンプル及び不良品サンプルを解析した結果によると、上部Pt電極とPZT膜の界面で $1 \times 10^{20} / \text{cm}^3$ 以下程度の水素濃度であれば、ヒステリシスの大きなシフトおよび自発分極の低下は生じないことが明らかになっている。

【0035】図17は、上述の解析結果から得られた、上部Pt電極界面の水素濃度と、キャパシタの自発分極Prの相関関係である。このデータから、水素濃度があるレベルを超えると、ヒステリシスのシフトの結果として急激に自発分極が小さくなることが分かる。

【0036】図7~図9で説明したようなLSI工程を経る強誘電体メモリの場合、強誘電体キャパシタの水素濃度を $1 \times 10^{19} / \text{cm}^3$ 以下にすることは、困難である。何故なら、図9に示したキャパシタ20上の層間絶縁膜21、23や、更にこれらの上に形成されるモールド材（図示せず）からの水素の侵入が避けられないからである。従って、従来の構造の強誘電体キャパシタであっても、キャパシタの水素濃度を、 $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ 、好ましくは $2 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ の範囲でできる限り小さくすることにより、ヒステリシスのシフトおよび自発分極の低下のない良好な特性が得られる。

【0037】キャパシタの水素濃度を上述した範囲に抑えるためには、図9に示すキャパシタ20上の層間絶縁膜21、23の水素濃度を $1 \times 10^{20} / \text{cm}^3$ 以下にすればよい。更にこれらの層間絶縁膜21、23での水素拡散係数を $1 \times 10^{-7} \text{cm}^2$ 以下にすることが好ましい。層間絶縁膜の水素拡散係数を小さくするには、シリ

コン酸化膜中にN（窒素）を添加する方法が考えられる。また、モールド材から層間絶縁膜中への水素の侵入を抑えるには、モールド材として蒸発水素量が50ppb以下の材料を選択することが好ましい。以上のような水素濃度範囲を設定することは、上記実施例で説明したキャパシタ構造の場合にも勿論有効である。

【0038】この発明は上記実施例に限られない。例えば実施例では、PZT膜を用いたが、強誘電体膜として、他のペロブスカイト化合物、例えばSr、Bi、Ta、Oを主成分とする層状強誘電体SBT（SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>等）を用いた場合にもこの発明は有効である。SBT膜を用いた場合、PZT膜のPbに相当する作用をする金属元素はビスマス（Bi）である。この場合も、強誘電体膜として実施例と同様の結晶化プロセスを用いた二層構造とし、上下部電極界面でのBi濃度がほぼ等しくなるようにし、更にこれらの界面にBi-Pt-(Ti)-O拡散反応層を形成することにより、実施例と同様の効果が得られる。

【0039】

【発明の効果】以上述べたようにこの発明によれば、強誘電体膜の形成工程及び構造を改良することにより、層間絶縁膜からの水素侵入によるキャパシタ特性劣化が防止され、高信頼性の強誘電体キャパシタを持つ半導体装置を得ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例による強誘電体キャパシタの下部電極形成工程を示す。

【図2】同実施例による強誘電体キャパシタの第1のPZT膜堆積工程を示す。

【図3】同実施例による強誘電体キャパシタの第1のPZT膜の結晶化工程を示す。

【図4】同実施例による強誘電体キャパシタの第2のPZT膜堆積工程を示す。

【図5】同実施例による強誘電体キャパシタの上部電極形成工程を示す。

【図6】同実施例による強誘電体キャパシタの第2のPZT膜の結晶化工程を示す。

【図7】同実施例の強誘電体キャパシタの強誘電体メモリへの適用例を示す。

【図8】同適用例におけるキャパシタのパターン形成工程を示す。

【図9】同適用例におけるキャパシタ集積後の構造を示す。

【図10】同実施例における強誘電体キャパシタのTEM観察による結晶構造を模式的に示す。

【図11】同実施例の強誘電体キャパシタのSIMS分析結果を示す。

【図12】従来構造の強誘電体キャパシタのSIMS分析結果を示す。

【図13】従来構造の強誘電体キャパシタの構造を示す。

す。

【図 14】同実施例の強誘電体キャパシタの  $Q-V$  特性を示す。

【図 15】従来構造の強誘電体キャパシタの  $Q-V$  特性を示す。

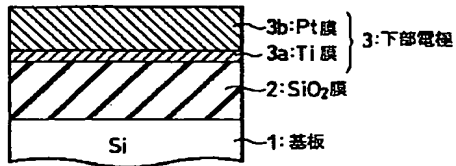
【図 16】この発明の他の実施例による強誘電体キャパシタの構造を示す。

\*【図 17】従来構造の強誘電体キャパシタの水素濃度と自発分極の相関関係を示す。

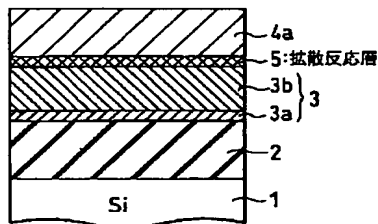
【符号の説明】

1…シリコン基板、2…シリコン酸化膜、3…下部電極、3a…Ti 膜、3b…Pt 膜、4a…第 1 の PZT 膜、4b…第 2 の PZT 膜、5、7…拡散反応層、10…MOS トランジスタ、20…キャパシタ。

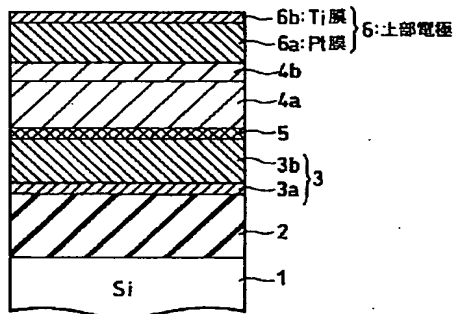
【図 1】



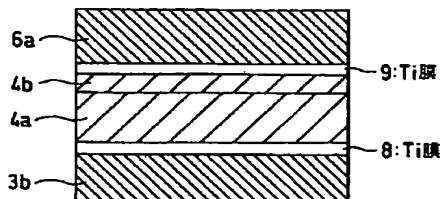
【図 3】



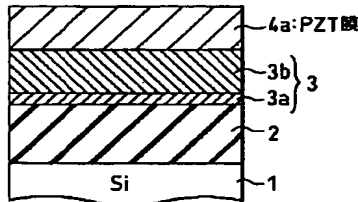
【図 5】



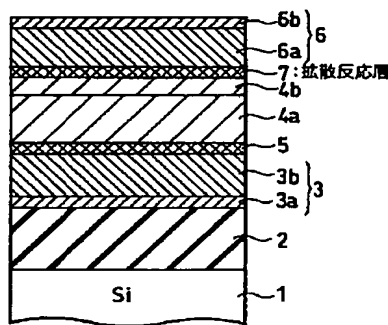
【図 16】



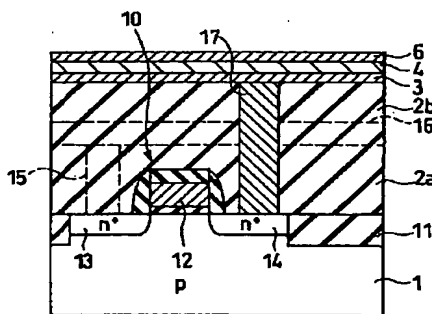
【図 2】



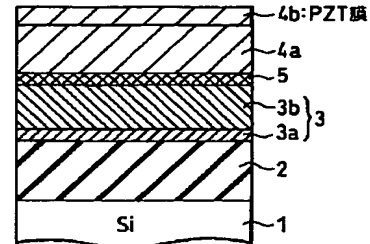
【図 6】



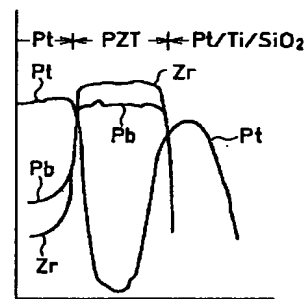
【図 7】



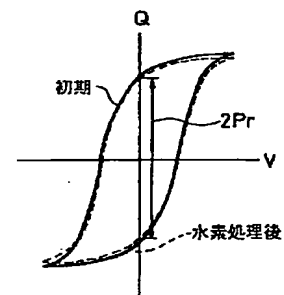
【図 4】



【図 11】

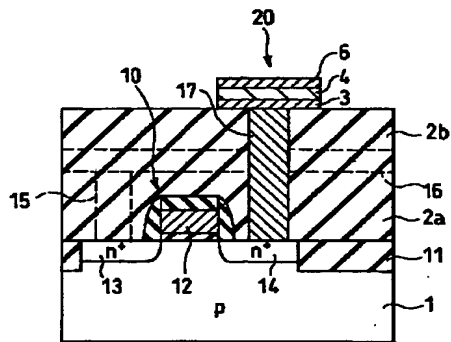


【図 14】

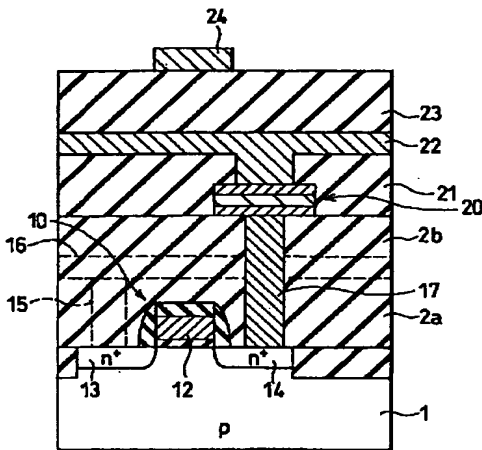




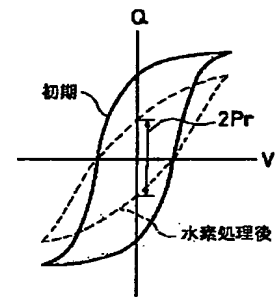
【図8】



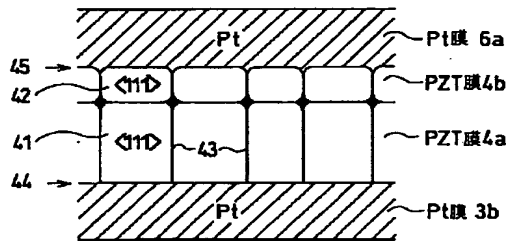
【図9】



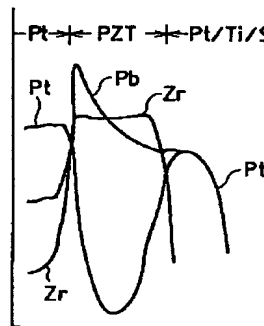
【図15】



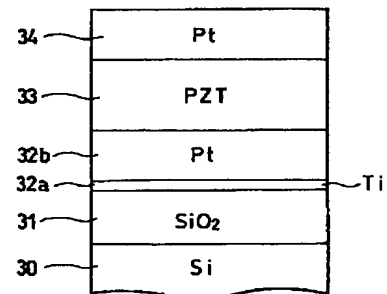
【図10】



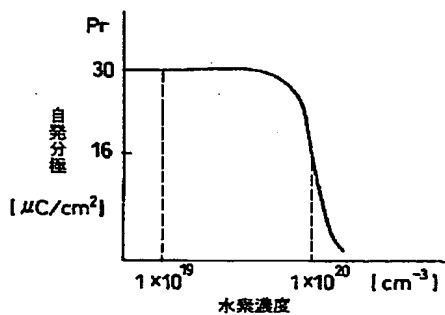
【図12】



【図13】



【図17】



フロントページの続き

(51)Int.Cl.

H01L 21/8242

識別記号

F I

テーマコード (参考)

(72)発明者 山川 晃司

神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内F ターム (参考) SF038 AC02 AC05 AC15 AV06 BH03  
DF05 EZ01 EZ11  
SF083 FR02 JA15 JA38 JA39 MA06  
MA17 PR21 PR33 PR34

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年7月6日(2001.7.6)

【公開番号】特開2000-40799(P2000-40799A)

【公開日】平成12年2月8日(2000.2.8)

【年通号数】公開特許公報12-408

【出願番号】特願平10-208999

【国際特許分類第7版】

H01L 27/10 451

27/04

21/822

27/115

27/108

21/8242

【F I】

H01L 27/10 451

27/04 C

27/10 434

651

【手続補正書】

【提出日】平成12年7月4日(2000.7.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 絶縁膜で覆われた半導体基板上に強誘電体キャパシタが形成された半導体装置において、前記強誘電体キャパシタは、前記絶縁膜上に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜上に形成された上部電極とから構成され、且つ前記強誘電体膜は、前記下部電極に接する多結晶体からなる第1の強誘電体膜と、この第1の強誘電体膜上に積層された前記第1の強誘電体膜と平均粒径の異なる結晶粒の多結晶体からなる第2の強誘電体膜とから構成されている

ことを特徴とする半導体装置。

【請求項2】 絶縁膜で覆われた半導体基板上に強誘電体キャパシタが形成された半導体装置において、前記強誘電体キャパシタは、前記絶縁膜上に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜上に形成された上部電極とから構成され、且つ

前記強誘電体膜は、前記下部電極に接する第1の強誘電体膜と、この第1の強誘電体膜上に積層された第2の強誘電体膜とから構成され、前記第1の強誘電体膜及び第

2の強誘電体膜は同一のペロブスカイト化合物からなり、それらの界面全体に結晶粒界が形成されていることを特徴とする半導体装置。

【請求項3】 前記第1の強誘電体膜は、前記下部電極の面に略直交する粒界をもって結晶粒が区画された多結晶膜であり、前記第2の強誘電体膜は前記第1の強誘電体膜の各結晶粒と略整合された結晶粒を持つ多結晶膜である

ことを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記第1の強誘電体膜及び第2の強誘電体膜は鉛又はビスマスを含有するペロブスカイト化合物からなり、前記第1の強誘電体膜の前記下部電極との界面部における鉛又はビスマスの濃度が、前記第2の強誘電体膜の前記上部電極との界面部における鉛又はビスマスの濃度と略等しい

ことを特徴とする請求項1又は2記載の半導体装置。

【請求項5】 前記第1の強誘電体膜と前記下部電極との間、及び前記第2の強誘電体膜と前記上部電極の間に相互拡散による拡散反応層が形成されていることを特徴とする請求項1又は2記載の半導体装置。

【請求項6】 前記第2の強誘電体膜は、1~150nmの膜厚を有することを特徴とする請求項1又は2記載の半導体装置。

【請求項7】 絶縁膜で覆われた半導体基板上に強誘電体キャパシタが形成された半導体装置において、前記強誘電体キャパシタは、前記絶縁膜上に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜上に形成された上部電極とから構成

され、且つ

前記強誘電体膜と前記下部電極との間及び前記上部電極との間に拡散層が形成されていることを特徴とする半導体装置。

【請求項 8】 前記強誘電体膜は鉛又はビスマスを含むペロブスカイト化合物からなり前記強誘電体膜の前記下部電極との界面部における鉛又はビスマスの濃度が、前記上部電極との界面部における鉛又はビスマスの濃度と略等しいことを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 前記強誘電体キャパシタの水素濃度が  $1 \times 10^{19} / \text{cm}^3$  以下であることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 10】 絶縁膜で覆われた半導体基板上に下部電極膜を形成する工程と、前記下部電極膜上に第 1 の強誘電体膜を形成する工程と、熱処理を行って前記第 1 の強誘電体膜を結晶化させる工程と、結晶化された前記第 1 の強誘電体膜上に第 2 の強誘電体

膜を形成する工程と、

前記第 2 の強誘電体膜上に上部電極膜を形成する工程と、

前記上部電極膜の形成後、前記第 2 の強誘電体膜を結晶化させる工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 11】 前記下部電極膜及び上部電極膜は Pt 膜を主体とする

ことを特徴とする請求項 10 記載の半導体装置の製造方法。

【請求項 12】 前記下部電極膜と前記第 1 の強誘電体膜の間、及び前記第 2 の強誘電体膜と前記上部電極膜の間の少なくとも一方に Ti 膜を形成する工程を有することを特徴とする請求項 10 記載の半導体装置の製造方法。

【請求項 13】 前記第 2 の強誘電体膜は、1～150 nm の膜厚をもって形成する

ことを特徴とする請求項 10 記載の半導体装置の製造方法。